

⑤ Int. Cl.
H 04 1

⑥ 日本分類
96(2) B 41
96(2) B 43

⑦ 日本国特許庁

⑧ 特許出願公告
昭48—22522

特 許 公 報

⑨ 公告 昭和48年(1973)7月6日

発明の数 1

(全6頁)

1

2

④ 調歩同期受信装置

① 特 願 昭44-41158

② 出 願 昭44(1969)5月28日

(特許法第30条第1項適用 東京芝浦電気株
式会社 昭和44年2月1日発行「東芝レビ
ー」第24巻第2号」第206~209頁に発表)

③ 発 明 者 板木丈爾

川崎市幸区小向東芝町1東京芝浦
電気株式会社小向工場内

同 坂井幸男

同所

④ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72

⑤ 代 理 人 弁理士 鈴江武彦 外4名

図面の簡単な説明

第1図及び第2図は従来の調歩同期受信装置に
用いられているメッセージ波形図、第3図はこの
発明の調歩同期受信装置の一実施例の要部のみを
抽出して示すブロック線図、第4図および第5図
はこの発明の作用を説明するための波形図である。
発明の詳細な説明

この発明は調歩同期受信装置に関する。

周知のように調歩同期受信装置の入力に印加さ
れるメッセージ信号は第1図に示すようにデー
タ区間と同期余裕区間から構成され、データ区間は
スタートビット、情報ビット、ストップビットか
ら形成されている。また同期余裕区間はデータ区
間と等間隔以上の間隔を持つように形成され、誤
りスタートが累積しない様にするために前記余裕
区間が設けられている。更にスタートビットは情
報処理の開始を検出するために使用され、かつス
トップビットは調歩同期が正常であるか否かのチ
ェックを行なう目的に使用される。そして情報ビ
ットは目的とする情報群を示す。この第1図に示
すメッセージ信号が図示しない調歩同期受信装置

の入力に到来した時の動作を第2図aの信号波形
を参照して説明する。即ち第2図aの信号波形に
おいて「1」、「0」はそれぞれある電圧レベル
を示し、「1」の電圧レベルを「0」電圧レベル
より高いものと仮定する。またデータ区間及び同
期余裕区間はそれぞれ16ビットに形成し、その
16ビット中の最初の1ビットをスタートビット
に、および最後の1ビットをストップビットに並
びに残りの14ビットを情報ビットに割り当てる。
かような第2図aの信号が図示しない調歩同期受
信装置の入力端に印加されるとまず受信装置のス
タートストップ回路が、スタートビットに於ける
「1」から「0」に変わる変換点a₁においてセ
ットされ情報処理を開始する。この場合における
処理は内蔵する回路によつて各ビットに相当する
サンプリングパルスを発生させ、そのサンプリ
ングパルスとデータとを比較しながら行なう。情報
処理開始後、第2図bに示す信号b₁, b₂によつ
てスタートストップ回路をリセットし、次のメッ
セージが到来するまで待機状態を維持する。また
この時16ビット目に相当するサンプリングパル
ス時にデータ区間の16ビット目が「0」状態で
あれば調歩同期が正常と判断し、「1」状態であ
れば同期がずれており誤りスタートを起したもの
としてその情報処理結果を誤りと判断することが
行なわれている。

ここで第2図aの信号の第1メッセージにおけ
るデータ区間の時間(第2図cに示す)t₁時に
雑音等により誤りスタートが生じたとすると、16
ビット目に相当するサンプリングパルスc₁は同
期余裕区間に生じ、同期誤りが判別される。しか
してこの場合第2メッセージのスタートビット開
始と同時に正常なスタートを開始する。しかし第
1メッセージの同期余裕区間の時間t₂(第2図
dに示す)において雑音等により誤りスタートが
起つたとすると16ビット目相当のサンプリング
パルスd₁は第2メッセージのデータ区間に生じ、

3

時間 $t_2 + T$ に於けるデータビットは「1」か「0」が決定されていないから、偶然に「0」状態であればこれを正しいメッセージと判別する危険性がある。しかし最近では調歩同期受信装置において正確なメッセージが確実に受信されることが要望されるようになって来ている。

この発明は上記の点に鑑みてなされたもので、正確なメッセージを確実に処理し得る調歩同期受信装置を提供することを目的とする。

以下図面を参照してこの発明の一実施例を説明するに当り、前記第1図に示す信号を有するメッセージが調歩同期受信装置の入力端に到来して来た時について述べる。即ちこの発明においてはスタートストップ回路のリセットをデータ区間のストップビットで行なわず、同期余裕区間の終了点にて行なうと共に、同期余裕区間の「1」状態をカウントし、同期余裕区間に相当する時間長だけ「1」があればスタートストップ回路をリセットし、「1」から「0」に変化する変換点に対して待機状態に保つように形成させるようにしたものである。かように作用させるためのこの発明の一実施例を第3図および第4図に基づいて述べる。第3図において、第4図 P_0 に示すメッセージ信号（データ区間16ビット、同期余裕区間16ビット）が入力バッファ10を介してその出力信号が微分回路11および受信シフトレジスタ12に供給される。微分回路11は前記メッセージ信号が「1」→「0」に変化する時のみ第4図 P_1 に示すパルス $P_{11} \dots P_{17}$ を発生し、このパルス P_{11} でスタートストップ回路13をセットする。このスタートストップ回路13がセットされるとその出力パルスは第4図 P_2 のパルス P_{21} のように「0」→「1」に転位し、アンド回路14の第1の入力端に前記パルス P_{21} が供給される。このパルス P_{21} はストップパルスの到来で「1」→「0」になる。一方アンド回路14の第2の入力端にはクロック回路15からクロック信号が供給され、上記パルス P_{21} の供給で開放されているアンド回路14を通過する。アンド回路14のゲートが開放するとクロック回路15からのクロック信号がタイミング回路16に供給される。クロック信号が供給されたタイミング回路16からはパルス P_3 （図示せず）および第4図 P_4 、 P_5 に示すパルス P_{41} およびパルス P_{51} 、 P_{52} 、 $P_{53} \dots$ を送出す

4

る。前記パルス P_5 は入力メッセージ信号を受信シフトレジスタ12へ16ビットシフトするためのシフトパルス、パルス P_{41} は受信をスタートしてから32ビット目にスタートストップ回路13および受信シフトレジスタ12をリセットするためのパルスである。またパルス P_{51} 、 P_{52} 、 $P_{53} \dots$ は入力メッセージの各ビットをサンプリングするためのパルスで、サンプリング時には「1」状態その他は「0」状態とする。17はアンド回路で、このアンド回路17の第1の入力端には第4図 P_6 のパルス P_{61} 、 P_{62} 、 $P_{63} \dots$ が、また第2の入力端には入力メッセージ信号（第4図 P_0 ）が供給され、両信号が同時に加わった時のみ第4図 P_6 に示すパルス P_{61} 、 P_{62} 、 $P_{63} \dots$ がアンド回路17から送出される。送出されたパルス P_{61} 、 P_{62} 、 $P_{63} \dots$ は強制同期カウンタ18に印加されそれが駆動される。また前記パルス P_{61} 、 P_{62} 、 $P_{63} \dots$ は遅延回路19を介してアンド回路20の第1の入力端に供給され、その第2の入力端には前記強制同期カウンタ18の出力パルス P_{71} （第4図 P_7 ）を供給する。一方前記強制同期カウンタ18には前記微分回路11からのパルス P_{11} 、 $P_{12} \dots$ が供給され、このパルス P_{11} 、 $P_{12} \dots$ によつて前記カウンタ18をリセットさせる。従つて強制同期カウンタ18は第4図 P_0 に示す入力メッセージ信号に於て連続する「1」状態のビットをカウントしていることになり、そのカウント数が16になつたとき、強制同期カウンタ18の出力パルス P_{71} は「1」になる。しかし前記遅延回路19の出力信号とカウンタ18の出力パルス P_{71} により連続する「1」状態が16ビットあるならばその時点で1つの正パルス（第4図 P_8 に示す） P_{81} が送出され、このパルス P_{81} が正オア回路21の第1の入力端を経て前記スタートストップ回路13および受信シフトレジスタ12のリセット端子に供給されてそれらをリセットする。また正オア回路21の第2の入力端には前記タイミング回路16の出力パルス P_{41} （第4図 P_4 に示す）を供給する。かような回路を経て1つのメッセージ信号の処理が終了する。前述した説明は受信装置が正常な動作をしている場合の簡単な説明であるので更に第4図を用いてその詳細な説明を行なう。第4図 P_0 に示す入力メッセージ信号の最初の「1」→「0」の変化す

5

る変換点 P_{10} において微分回路11から微分パルス P_{11} が生じ、それによつてスタートストップ回路13からのパルス P_{21} が「0」→「1」に変化する。この時点で受信装置は受信を開始し、タイミング回路16から生ずるパルス P_{41} の時間 T_1 の間まで受信状態を維持する。パルス P_{41} が生ずると正オア回路21を介してスタートストップ回路13はリセットされパルス P_{21} を「1」→「0」に変化し、次のメッセージ信号に対し待機状態を保つ。

前記スタートストップ回路13がセット状態のとき即ちパルス P_{21} が「1」のとき、タイミング回路16からパルス P_{51} , P_{52} , P_{53} …が送出されていて、このパルス P_{51} , P_{52} , P_{53} …と入力メッセージ信号がアンド回路17に供給されるとパルス P_{61} , P_{62} , P_{63} …が送出されて、これによつて強制同期カウンタ18が駆動される。しかし第4図 P_6 のパルス P_{61} , P_{62} , P_{63} …は入力メッセージ信号が「1」状態の時のみ発生しておりそのパルス P_{61} , P_{62} , P_{63} …を前記カウンタ18で計数する。また強制同期カウンタ18に供給されているパルス P_{11} , P_{12} …は入力メッセージ信号が「1」→「0」に変化する時のみに発生し、それによつてカウンタ18をリセットする。従つて最初強制同期カウンタ18はパルス P_{11} でリセットされる。

次に入力メッセージビット2は「1」でありパルス P_{61} で強制同期カウンタ18は「1」状態が1個あつたことを計数する。しかしメッセージビット3は「0」であるからパルス P_{12} によつて前記カウンタ18はリセットされ、次の「1」状態を最初から計数するようになる。更にメッセージ信号のビット6, 7, 8のときには、カウンタ18はパルス P_{63} , P_{64} , P_{65} を計数し連続する「1」状態が3ビットあつたことを確認する。しかし前記カウンタ18の出力は16ビット計数したときのみ「1」状態になるように設定されているからカウンタ18からの出力はパルス P_{71} が生ずるまで「0」である。かような状態が進行して同期余裕区間になると連続する「1」状態が16ビット存在するようになるから第4図 P_6 のパルス P_{68} から P_{6m} によつて前記カウンタ18は「1」になりパルス P_{81} が生ずるようになる。このパルス P_{31} とパルス P_{41} によつてスタートストップ回路

6

13および受信シフトレジスタ12はリセットされ次のメッセージに対して待機状態になる。このような手段によつて一度正常なスタートを開始すると雑音等が同期余裕区間に生じて誤りスタートは生ぜず、またデータ区間に誤りスタートが生じて同期余裕区間が正常であれば誤りスタートが検出できると共に次のメッセージ信号に対して正常なスタートを開始する。しかしいまデータ区間において正常なスタートをした場合には同期余裕区間で雑音等により「1」→「0」に変化してもスタートストップ回路13はすでにセット状態であるので誤りスタートは生じない。

次にデータ区間内において誤りスタートした場合、同期余裕区間が完全に「1」状態を維持するように設定する。このときのタイムチャートを第5図に示す。第5図において、入力メッセージ信号 P_0 の2ビット目の「1」→「0」にて誤りスタートが生じたとする。するとスタートストップ回路13は2ビット目の立下りでセットされ、この点から時間 T_1 （第4図 P_2 に示す）経過すると第4図の場合にはパルス P_{41} が生ずる筈である。しかしその時にはすでに次のメッセージ信号が到来しており誤りスタートを生ずることになる。ところが強制同期カウンタ18は連続する「1」状態の数を計数しているから同期余裕区間が16ビット「1」状態が継続していることを検出してリセットパルス P_{531} を生ずる。その結果スタートストップ回路13がセットされてからリセットされるまでの時間は T_2 （第5図 P_2 に示す） $< T_1$ となつて次の正常なメッセージに対しては正常なスタートが可能となる。しかし同期余裕区間に誤りスタートが生じた場合そのスタートが誤りであることが従来の場合には検出できなかったことが解決される。従つて一度正常なスタートを行なうと同期余裕区間においては雑音の影響を受けずに誤りスタートはほとんど生じなくすることができる。しかもデータ区間に誤りスタートが生じた場合でも同期余裕区間が正常であれば誤りスタートが累積されないので調歩同期受信装置の機能を損うこともなくなる。

なお第5図 P_0 … P_8 までの説明は第4図と同様であるのでその詳細な説明は省略した。

以上述べたようにこの発明によれば正確なメッセージを確実に処理し得る調歩同期受信装置が提

7

供できる。

なお、この発明は上記しかつ図示した実施例のみに限定されずデータ区間および同期余裕区間はそれぞれ16ビットの場合について説明して来たが一般にデータ区間を n ビット、同期余裕区間を m ビット($m \geq n$)としてスタートビットおよびストップビットを「0」ビットとし、連続する「1」状態の m ビットを計数して強制同期させてもよい。従つて32ビット目のリセットパルス(強制同期カウンタによるリセットパルスでない)10は $m+n$ ビット目のリセットパルスとなる。しかし $m+n$ ビット目でのリセットパルスである必要はなく $m+n$ ビット近辺であつてもよく要旨を変

8

更しない範囲で種々変形して実施し得る。

⑦特許請求の範囲

1 スタート信号およびストップ信号を有し、情報が包含されたデータ区間およびこれと組になる同期余裕区間の両区間を単位信号とする一連の信号を順次処理する信号処理回路と、前記各单位信号のスタート信号の存在時からデータ区間の2倍以上の時間経過後に前記信号処理回路を待機状態に設定する手段と、前記データ区間以上の時間同一の信号状態が連続する場合に前記信号処理回路を待機状態に設定する手段とを具備してなる調歩同期受信装置。

図1

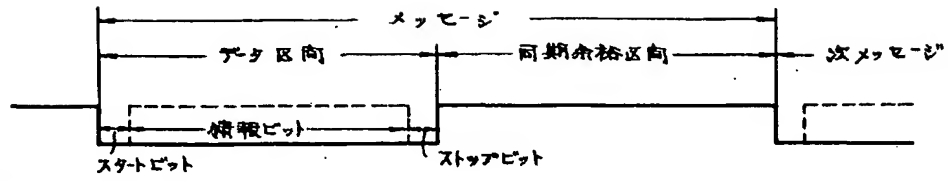


図2

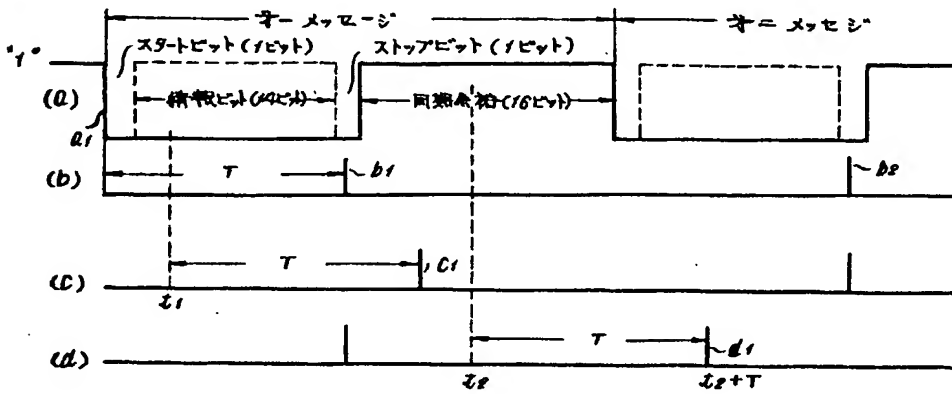
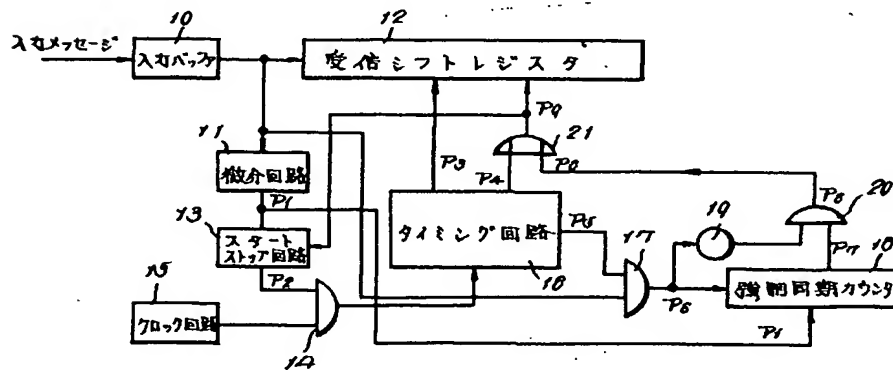


図3



[illegible]

Timing diagram for the 74LS161 4-bit binary counter. The diagram shows the clock input (P0), data inputs (P1, P2, P3), and outputs (P4, P5, P6, P7) over 32 clock cycles. The clock input is a square wave. The data inputs are constant at 0. The outputs are square waves that count from 0 to 31. The diagram is labeled "74LS161" and "4-bit binary counter".